

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-352920

(43)Date of publication of application : 24.12.1999

(51)Int.Cl. G09G 3/20
G09G 3/20
G09G 3/30

(21)Application number : 10-163886

(71)Applicant : DENSO CORP

(22)Date of filing : 11.06.1998

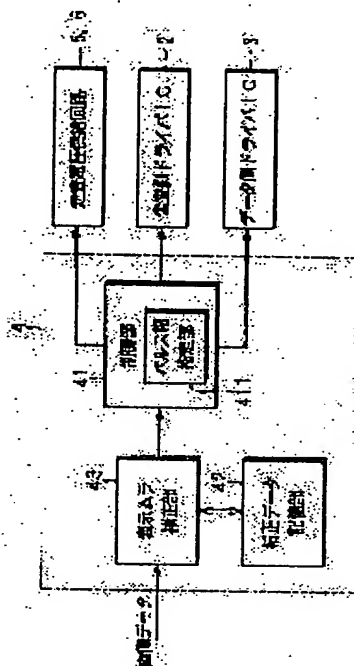
(72)Inventor : OGUSU KOJI
MATSUMOTO NAOKI

(54) DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce display unevenness caused by a manufacturing error in a display device such as EL display device.

SOLUTION: In this display device, a correction data for correcting voltage-luminance characteristic in each picture element of a display panel in a correction data memory part 42, and an input image data is corrected every picture element according the correction data in a display unevenness correction part 43 to display the image on the display panel on the basis of the corrected image data.



LEGAL STATUS

[Date of request for examination] 30.08.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-352920

(43) 公開日 平成11年(1999)12月24日

(51) IntCl.⁹

G 0 9 G 3/20

3/30

識別記号

6 4 1

6 1 1

F I

G 0 9 G 3/20

3/30

6 4 1 P

6 1 1 H

K

審査請求 未請求 請求項の数 5 O L (全 9 頁)

(21) 出願番号

特願平10-163886

(22) 出願日

平成10年(1998)6月11日

(71) 出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72) 発明者 小楠 幸治

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(72) 発明者 松本 直樹

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

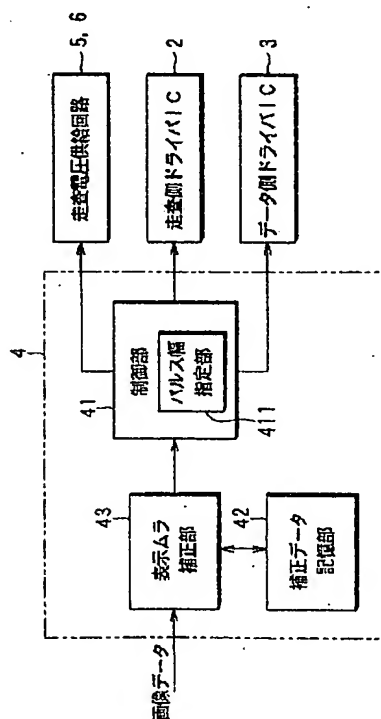
(74) 代理人 弁理士 伊藤 洋二 (外1名)

(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】 EL表示装置などの表示装置において、製造誤差によって生じる表示ムラを低減することを目的とする。

【解決手段】 表示パネルの各画素における電圧-輝度特性を補正する補正データを補正データ記憶部42に記憶しておき、表示ムラ補正部43において、入力画像データを補正データに応じて各画素毎に補正し、この補正された画像データに基づいて表示パネルに画像を表示させるようにした。



【特許請求の範囲】

【請求項 1】 画像を表示する表示パネル (1) と、この表示パネルの各画素における電圧－輝度特性を補正する補正データを記憶した補正データ記憶手段 (4 2) と、入力された画像データを前記補正データに応じて各画素毎に補正する補正手段 (4 3) と、この補正手段によって補正された画像データに基づいて前記表示パネルに画像を表示させる手段 (2、3、4 1) とを備えたことを特徴とする表示装置。

【請求項 2】 前記補正手段は、前記入力された画像データを、その階調数よりも階調数の多い画像データに補正するものであることを特徴とする請求項 1 に記載の表示装置。

【請求項 3】 前記画像を表示させる手段は、前記補正された画像データの階調数よりも少ない階調数の階調データに基づいて前記表示パネルをフレーム単位で表示駆動する駆動手段 (2、3) と、前記補正された画像データを複数のフレームにおける前記階調データの組み合わせに変換する手段 (4 1 1) とを有することを特徴とする請求項 1 又は 2 に記載の表示装置。

【請求項 4】 画像を表示する表示パネル (1) と、この表示パネルの各画素における電圧－輝度特性を補正した画像データを記憶した表示データ記憶手段 (4 4) と、この表示データ記憶手段に記憶された画像データに基づいて前記表示パネルに画像を表示させる手段 (2、3、4 1) とを備えたことを特徴とする表示装置。

【請求項 5】 前記画像を表示させる手段は、前記画像データの階調数よりも少ない階調数の階調データに基づいて前記表示パネルをフレーム単位で表示駆動する駆動手段 (2、3) と、前記画像データを複数のフレームにおける前記階調データの組み合わせに変換する手段 (4 1 1) とを有することを特徴とする請求項 4 に記載の表示装置。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、EL 表示装置などの表示装置に関し、特にその表示ムラをなくすようにしたものに關する。

【0002】

【従来の技術および発明が解決しようとする課題】 従来、EL 表示装置においては、製造工程における発光層の膜厚のばらつきなどの製造誤差によって、各画素における電圧－輝度特性が異なる場合がある。その結果、表示パネル全体に同一色、同一階調を表示した場合に、面内の輝度（明るさ）のムラ、色度（色合い）のムラなどの表示ムラが生じる。

【0003】 このような問題に対し、発光層の膜厚を均一化することによって表示ムラを低減するものが提案さ

れている。例えば、特公昭 63-15714 号公報に記載されたものでは、ガラス基板と蒸着マスクとの間に隙間を設け、ガラス基板を均一な温度で加熱することによって、発光層の膜厚を均一化している。また、特開平 4-191362 号公報に記載されたものでは、ガラス基板に伝える熱量を調節する均熱板をガラス基板より大きくし、ガラス基板の温度を均一にすることによって、発光層の膜厚を均一化している。

【0004】 しかしながら、上記した方法では、表示パネル側の方で表示ムラをなくすための細工を必要とする。一方、表示パネルを駆動する回路側の方で表示ムラを補正するものも提案されている。例えば、特開昭 64-13194 号公報に記載されたものでは、発光画素の数に応じて書き込みパルスのパルス幅を変化させ、発光画素数の大小にかかわらず同一の発光輝度を得るようにしている。また、特開平 9-212129 号公報に記載されたものでは、走査駆動する行の発光画素数に応じて EL 素子への充電期間を変化させて、行間での輝度ムラをなくすようにしている。

【0005】 しかしながら、これらの方法では、発光画素数の大小によって生じる表示ムラを補正することはできるが、製造誤差によって生じる各画素の電圧－輝度特性の違いを補正することはできない。本発明は上記問題に鑑みたもので、表示パネルを駆動する回路側の方で製造誤差によって生じる表示ムラを低減することを目的とする。

【0006】

【課題を解決するための手段】 上記目的を達成するために、請求項 1 乃至 3 に記載の発明においては、画像を表示する表示パネル (1) と、この表示パネルの各画素における電圧－輝度特性を補正する補正データを記憶した補正データ記憶手段 (4 2) と、入力された画像データを前記補正データに応じて各画素毎に補正する補正手段 (4 3) と、この補正手段によって補正された画像データに基づいて前記表示パネルに画像を表示させる手段 (2、3、4 1) とを備えたことを特徴としている。

【0007】 従って、表示パネルの各画素における電圧－輝度特性を補正する補正データによって、入力画像データを補正しているから、製造誤差によって生じる表示ムラを低減することができる。また、請求項 4、5 に記載の発明においては、画像を表示する表示パネル (1) と、この表示パネルの各画素における電圧－輝度特性を補正した画像データを記憶した表示データ記憶手段 (4 4) と、この表示データ記憶手段に記憶された画像データに基づいて前記表示パネルに画像を表示させる手段 (2、3、4 1) とを備えたことを特徴としている。

【0008】 従って、この発明においては、予め表示される画像が限定されている場合に、製造誤差によって生じる表示ムラを低減することができる。なお、上記した括弧内の符号は、後述する実施形態記載の具体的手段と

の対応関係を示すものである。

【0009】

【発明の実施の形態】（第1実施形態）図1に本発明の第1実施形態にかかるEL表示装置の全体構成を示す。また、図2にEL素子の模式的な断面構成を示す。図2において、EL素子10は、ガラス基板11上に積層形成された、透明電極12、第1絶縁層13、発光層14、第2絶縁層15、背面電極16から構成されている。そして、透明電極12、背面電極16間に正負の電圧パルスを印加することにより、EL素子10が発光する。図2では、ガラス基板11より光を取り出すようにしている。なお、背面電極16を透明電極とすれば図2の上下の両方向から光を取り出すことができる。

【0010】図1に示すEL表示パネル1は、図2に示す構成に対し、透明電極12、背面電極16を行列状に複数配置して走査電極およびデータ電極とし、EL素子をマトリクス配置して表示を行うように構成されている。具体的には、行方向に走査電極201、202、…が形成され、列方向にデータ電極301、302、…が形成されている。

【0011】走査電極201、202、…とデータ電極301、302、…のそれぞれの交点領域には、画素としてのEL素子111、112、…が形成されている。なお、EL素子は容量性素子であるため、図ではコンデンサの記号で表している。このEL表示パネル1の表示動作を行うために、走査側ドライバIC2およびデータ側ドライバIC3が設けられている。

【0012】走査側ドライバIC2は、プッシュプルタイプの駆動回路であり、走査電極201、202、…に接続されたPチャンネルFET21a、22a、…とNチャンネルFET21b、22b、…を有し、駆動回路20からの出力に従って、走査電極201、202、…に走査電圧を印加する。また、FET21a、21b、22a、22b、…のそれぞれには、寄生ダイオード21c、21d、22c、22d、…が形成されており、走査電極を所望の基準電圧に設定する。

【0013】データ側ドライバIC3も同様の構成で、駆動回路30、PチャンネルFET31a、32a、…、NチャンネルFET31b、32b、…を有しており、データ電極301、302、303、…にデータ電圧を印加する。走査側ドライバIC2には、走査電圧供給回路5、6から走査電圧が供給される。走査電圧供給回路5は、スイッチング素子51、52を有し、そのオンオフ状態に応じて、直流電圧（書き込み電圧） V_r または接地電圧を、走査側ドライバIC2におけるPチャンネルFETソース側共通線L1に供給する。走査電圧供給回路6は、スイッチング素子61、62を有し、そのオンオフ状態に応じて、直流電圧 $-V_r + V_m$ またはオフセット電圧 V_m を、走査側ドライバIC2におけるNチャンネルFETソース側共通線L2に供給する。

【0014】また、データ側ドライバIC3には、データ電圧供給回路7からデータ電圧が供給される。このデータ電圧供給回路7は、データ側ドライバIC3のPチャンネルFETソース側共通線に直流電圧 V_m を供給し、NチャンネルFETソース側共通線に接地電圧を供給する。上記した走査側ドライバIC2、データ側ドライバIC3、および走査電圧供給回路5、6は、制御回路4からの制御信号に基づいて、それぞれの作動が行われる。

【0015】上記した構成において、EL素子が発光させるためには、走査電極とデータ電極との間に正負の電圧パルスを印加する必要がある。このためフィールド毎に正負に極性反転する電圧パルスを各走査線毎に作成して駆動を行うようしている。以下、図3に示すタイミングチャートを参照して、正負フィールドでの動作について説明する。なお、図3に示すタイミングチャートでは、FET21a、21b、31a、31bにおいて、オン状態をハイレベル、オフ状態をローレベルで示している。また、電圧波形については波形なまりがないものとして図示している。

（正フィールドでの作動）スイッチング素子51、62をオン、52、61をオフにする。この時、走査電極201、202、…の基準電圧は、走査側ドライバIC2のFETの寄生ダイオードの動作により、オフセット電圧 V_m となっている。また、データ側ドライバIC3のFET31a、32a、…側をオンし、データ電極の電圧を V_m にする。この状態では、全てのEL素子に印加される電圧が0Vになるため、EL素子は発光しない。

【0016】この後、正フィールドでの発光動作を開始する。まず、1行目の走査電極201に接続されている走査側ドライバIC2のPチャンネルFET21aをオンにして、走査電極201の電圧を V_r にする。また、他の走査電極に接続されている走査側ドライバIC2の出力段FETを全てオフにしそれらの走査電極をフローティング状態にする。

【0017】一方、データ電極301、302、…のうち発光させたいEL素子のデータ電極に接続されているデータ側ドライバIC3のPチャンネルFETをオフ、NチャンネルFETをオンにし、発光させたくないEL素子のデータ電極に接続されているデータ側ドライバIC3のPチャンネルFETをオン、NチャンネルFETをオフにする。

【0018】このことにより、発光させたいEL素子のデータ電極の電圧が接地電圧になるため、EL素子にしきい値電圧以上の電圧 V_r がかかりEL素子が発光する。また、発光させたくないEL素子のデータ電極の電圧は V_m のままとなり、EL素子には $V_r - V_m$ の電圧が印加される。この $V_r - V_m$ の電圧は、しきい値電圧より低く設定されておりEL素子は発光しない。

【0019】図3のタイミングチャートでは、データ側

ドライバIC3のPチャンネルFET31aをオフ、NチャンネルFET41bをオンにして、EL素子111に V_r の電圧を印加しEL素子を発光させる状態を示している。この後、1行目の走査電極201に接続されている走査側ドライバIC2のPチャンネルFET21aをオフ、NチャンネルFET21bをオンにすることにより、走査電極201上のEL素子に蓄積した電荷を放電する。

【0020】次に、2行目の走査電極202に接続されている走査側ドライバIC2のPチャンネルFET21aをオンして、走査電極202の電圧を V_r にする。また、他の走査電極に接続されている走査側電極2の出力段FETを全てオフにしそれらの走査電極をフローティング状態にする。また、データ電極301、302、…の電圧レベルを、発光させたいEL素子と発光させたくないEL素子に応じた電圧レベルにすることにより、上記したのと同様にして2行目のEL素子の発光駆動を行う。

【0021】図3のタイミングチャートでは、データ側ドライバIC3のPチャンネルFET31aをオン、NチャンネルFET31bをオフにし、データ電極301の電圧を V_m として、EL素子121に $V_r - V_m$ の電圧を印加し、EL素子121を発光させない状態を示している。この後、2行目の走査電極202に接続されている走査側ドライバIC2のPチャンネルFET22aをオフにし、NチャンネルFET22bをオンすることにより、走査電極202上のEL素子に蓄積した電荷を放電する。

【0022】以後、同様にして、最後の走査線に至るまで上記動作を繰り返す、線順次走査を行う。

(負フィールドでの作動) スwitchング素子52、61をオン、51、62をオフにし、極性を反転させて正フィールドと同様な走査を行う。この時、走査電極の基準電圧は接地電圧となる。また、データ側ドライバIC3のFET31b、32b、…側をオンし、データ電極の電圧を接地電圧とする。この状態では、全てのEL素子に印加される電圧が0Vになるため、EL素子は発光しない。

【0023】以下、負フィールドも正フィールドと同様に線順次走査を行う。この場合、表示選択を行う行の走査電極には $-V_r + V_m$ を印加する。データ電極側においては、正フィールドとは逆に、発光させたいデータ電極の電圧を V_m にし、発光させたくないデータ電極に対しては接地電圧のままにする。従って、 $-V_r + V_m$ の電圧が印加されている走査電極に対し、データ電極に電圧 V_m が印加されると、それに対するEL素子に $-V_r$ の電圧が印加されEL素子が発光する。また、データ電極の電圧が接地電圧であると、EL素子にしきい値電圧より低い $-V_r + V_m$ が印加されるため、EL素子は発光しない。

【0024】そして、上記した正負フィールドの駆動により、1サイクルの表示動作が終了し、これを繰り返す。次に、EL表示の階調制御について説明する。EL表示パネル1の発光輝度は、EL素子に印加する電圧パルスの幅により制御することができる。すなわち、電圧パルスの幅が狭ければ輝度が低くなり、電圧パルスの幅が広ければ輝度は高くなる。

【0025】データ側ドライバIC3は、EL素子に印加する電圧パルスの幅を変化させて階調制御を行うようにしたもので、具体的には、東芝製TD62C948のELドライバICを用いることができる。このELドライバは、階調度0~15のパルス幅データ(階調データ)を受けて、16階調の階調制御ができるようになっている。

【0026】図4に、走査側ドライバIC2、データ側ドライバIC3、および走査電圧供給回路5、6を制御する制御回路4の構成を示す。この制御回路4は、制御部41と、補正データ記憶部42と、表示ムラ補正部43から構成されており、データ側ドライバIC3に出力するパルス幅データに関して、表示パネル1の各画素における電圧-輝度特性を補正し、製造誤差による表示ムラをなくすように構成されている。すなわち、補正データ記憶部42は、表示パネル1の各画素における電圧-輝度特性を補正するための補正データを記憶しており、表示ムラ補正部43は、階調度0~15のパルス幅データで構成される画像データにより補正データ記憶部42からの補正データを用いて補正された画像データ(以下、補正画像データという)を制御部41に出力し、制御部41は、その補正画像データに従ってパルス幅データをデータ側ドライバIC3に出力する。

【0027】次に、上記した画像データの補正について説明する。図5に、補正データ記憶部42に記憶されている補正データの構成を示す。この補正データは、図に示すように、階調度0~階調度15のそれぞれの階調において各画素毎に64階調のデータを用いて設定されている。すなわち、16階調の画像データに対し、その階調数よりも階調数の多いデータを補正データとしている。

【0028】表示ムラ補正部43は、入力された画像データにおける各画素毎の階調度に対応した64階調の補正データを補正データ記憶部42から抽出し、補正画像データとして制御部41に出力する。ここで、データ側ドライバIC3は、上述したように16階調の制御を行うものであるため、制御部41は、その64階調の補正画像データに従って64階調の表示ができるパルス幅データに変換してデータ側ドライバIC3に出力する。このため、制御部41は、パルス幅指定部411を備えて、64階調の階調制御を実現している。

【0029】以下、このパルス幅指定部411による64階調制御について説明する。EL素子は、上述したよ

うに正負の電圧パルスを交互に印加することにより発光する。そこで、1組の正負の電圧パルスを印加する期間、すなわち1組の正フィールドと負フィールドによる期間を1つのフレームとし、図6に示すように、4フレームの周期で周期的にパルス幅を制御する。EL素子の輝度は、単位時間内のパルス数が多いほど明るく、またパルス幅が広いほど明るい。従って、図6に示すような電圧パルスを印加することによって、64階調制御を実現することができる。

【0030】具体的には、階調度63~48では、最初のフレーム0から2でパルス幅を最大（パルス幅データ=15）とし、最後のフレーム3でパルス幅を変化させる。階調度47~32では、フレーム0、1でパルス幅を最大とし、フレーム2でパルス幅を変化させる。フレーム3では、パルスを出力しない（パルス幅データ=0）。階調度31~16では、フレーム0でパルス幅を最大とし、フレーム1でパルス幅を変化させる。フレーム2、3では、パルスを出力しない。階調度15~0では、フレーム0でパルス幅を変化させる。フレーム1から3では、パルスを出力しない。

【0031】図7に、階調度と、それぞれのフレームでパルス幅指定部4からデータ側ドライバIC3に出力されるパルス幅データとの関係を示す。パルス幅指定部411は、この図7に示す関係に従い、フレーム0~3を1つの単位として、パルス幅データをデータ側ドライバIC3に出力する。図8に、上記したパルス幅指定部4の具体的な構成を示す。図において、d5~d0には6ビットの補正画像データが入力される。この6ビットの補正画像データにより、63~0の64個の階調度を表すことができる。また、出力o3~o0からデータ側ドライバIC3にパルス幅データが出力される。

【0032】補正画像データd5~d0のうち上位2ビットのd5、d4は、2ビットコンパレータ411aに入力される。2ビットコンパレータ411aは、d5を上位ビット、d4を下位ビットとした変数F（0~3）を、フレーム番号R（0~3）と比較する。ここで、フレーム番号Rが変数Fよりも小さい場合は、2ビットコンパレータ411aの出力OUT1がHレベルになり、OR回路411bによって出力o3~o0が全てHレベルになるため、パルス幅指定部411からは15を示すパルス幅データが出力される。

【0033】また、変数Fがフレーム番号Rよりも小さい場合は、2ビットコンパレータ411aの出力OUT2がHレベルになり、AND回路411cにより出力o3~o0が全てLレベルになるため、パルス幅指定部411からは0を示すパルス幅データが出力される。また、フレーム番号R=変数Fのときは、2ビットコンパレータ411aの出力OUT1およびOUT2がLレベルになるため、出力o3~o0からは補正画像データd3~d0がそのまま出力される。

【0034】つまり、パルス幅指定部411は、フレーム番号Rと補正画像データd5~d0の上位2ビットを比較し、補正画像データの上位2ビットがフレーム番号Rより大きいときは15を、一致するときはd3~d0を、小さいときは0をデータ側ドライバIC3にパルス幅データとして出力する。その結果、図6に示すようなパルス幅データがデータ側ドライバIC3に出力される。このようなパルス幅指定部411の制御によって、データ側ドライバIC3から出力されるデータ電圧のパルス幅を周期的に変化させて、64階調の輝度変調を実現している。なお、16階調用のデータ側ドライバIC3に対し64階調の階調制御を実現する方法としては、上記したようなパルス幅を周期的に変化させる方法以外にデータ電圧の大きさを周期的に変化させる方法を用いることもできる。

【0035】従って、この実施形態によれば、予め、補正データ記憶部42に、階調度0~階調度15のそれぞれに対し各画毎に64階調の補正データを記憶させておき、その補正データを用いて各画素毎に16階調の画像データを64階調の補正画像データに変換し、その補正画像データにより64階調で表示を行うようにしている。このため、補正データ記憶部42に記憶する補正データを、製造誤差によって生じる各画素の電圧-輝度特性の違いを補正したものとしておけば、表示ムラをなくすることができる。

【0036】次に、補正データ記憶部42に記憶する補正データの作成方法について説明する。まず、面輝度計を用いて、図9に示すように、各画素毎の階調度と輝度との関係を測定する。次に、この階調度と輝度との関係に基づき、ある輝度になるための階調度（0~63の中のいずれかの階調度）を求め、これを補正データとする。図9の場合、階調度10に対する画素1の補正データは40であり、画素2の補正データは35である。このようにして、各階調度毎で各画素毎に補正データを設定する。

【0037】上記の場合、補正データは1画素毎に求めているが、複数画素毎のブロックで補正データを求めてもよい。つまり、製造誤差による表示ムラの面内分布は急激に変化するものではないので、付近の数画素を1つのブロックとして補正データを求めても実用上問題はない。この場合、補正データ記憶部42の記憶容量を少なくすることができる。

（第2実施形態）上記第1実施形態では、補正データ記憶部42に（16×画素数）個の補正データを記憶するものを示したが、この実施形態では、その記憶する補正データを大幅に減らすようにしている。

【0038】このため、この実施形態においては、階調度と輝度の測定結果に基づき、階調度と輝度との関係を図10に示すように直線近似する。これを図11に示すように、画像データの階調度（0~15の階調度）と補

正画像データ（0～63の階調度）との直線関係に変換した後、補正データ記憶部42に、その直線と切片の2つのデータを記憶させる。

【0039】表示ムラ補正部43は、補正データ記憶部42に記憶された各画素の傾きと切片のデータを基に、入力された画像データの階調度を補正し、補正画像データとして出力する。このような補正を用いれば補正データ記憶部42に記憶しておくデータ量を大幅に減らすことができる。この場合、第1実施形態で述べたように、付近の数画素を1つのブロックとして補正データを求めれば、さらに補正データ記憶部42の記憶容量を少なくすることができる。

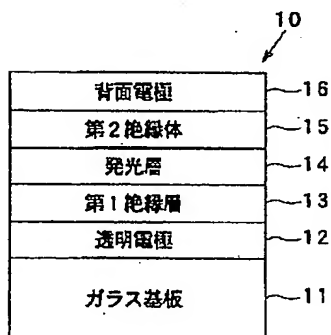
（第3実施形態）上記第1、第2実施形態においては、外部から入力される任意の画像データを補正し、表示ムラを軽減させるものを示したが、この実施形態では、予め表示される画像が限定されている場合において表示ムラを補正するものを示す。この場合、予め表示される画像が限定されているため、表示ムラ補正部43でリアルタイムに補正処理を行う必要はなく、予め補正した画像データを記憶させておけばよい。

【0040】図12にこの実施形態における制御回路4の構成を示す。表示データ記憶部44に、予め補正した表示データ（64階調の画像データ）を記憶しておき、その表示データを用いて上記第1、第2実施形態と同様に64階調の表示を行わせる。従って、この実施形態においても製造誤差による表示ムラをなくすことができる。

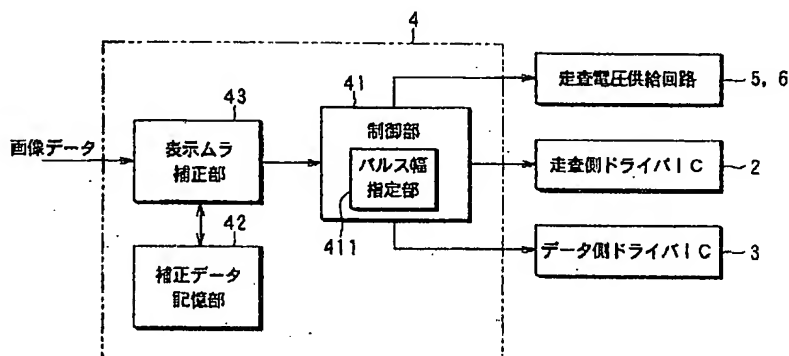
【0041】なお、上記した制御回路4においては、ハードロジック回路によって構成する他、コンピュータ手段を用いても構成することができる。また、本発明は、EL表示装置に限らず、液晶表示装置などの表示装置にも同様に適用することができる。

【図面の簡単な説明】

【図2】



【図4】



【図1】本発明の第1実施形態を示すEL表示装置の構成図である。

【図2】EL素子の模式的構成を示す構成図である。

【図3】図1に示すもの作動説明に供するタイミングチャートである。

【図4】図1中の制御回路4の構成を示す図である。

【図5】図4中の補正データ記憶部42に記憶されている補正データの構成を示す図である。

【図6】図1中の表示パネル1における各EL素子への印加電圧波形を示す図である。

【図7】図4中のパルス幅指定部411がデータ側ドライバIC3に出力するパルス幅データを示す図である。

【図8】図4中のパルス幅指定部411の構成を示す図である。

【図9】補正データ記憶部42に記憶する補正データを作成するために、各画素毎の階調度と輝度との関係を測定した結果を示す図である。

【図10】本発明の第2実施形態において、補正データ記憶部42に記憶する補正データを作成するために、各画素毎の階調度と輝度との関係を直線近似したものを示す図である。

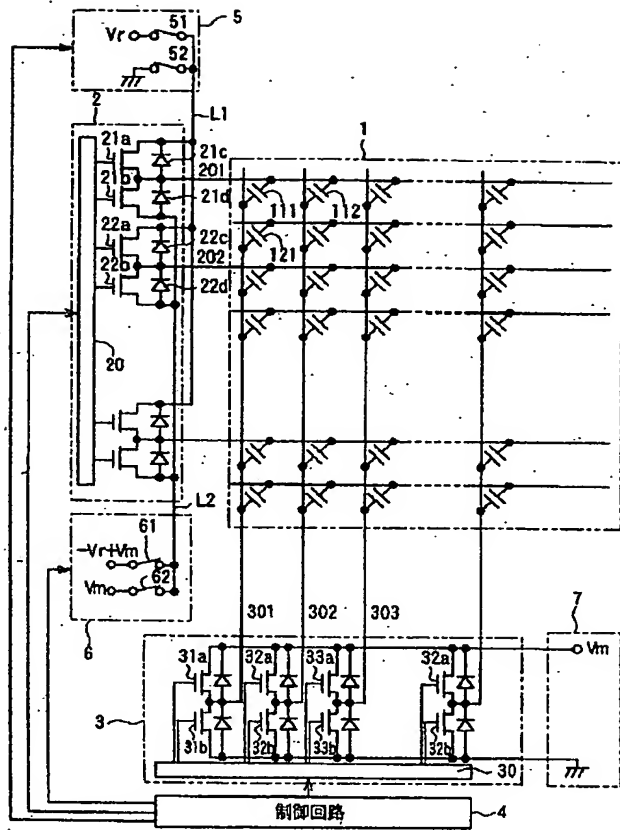
【図11】図10に示す結果に基づき、入力画像データの階調度と補正画像データの関係に変換した状態を示す図である。

【図12】本発明の第3実施形態における制御回路4の構成を示す図である。

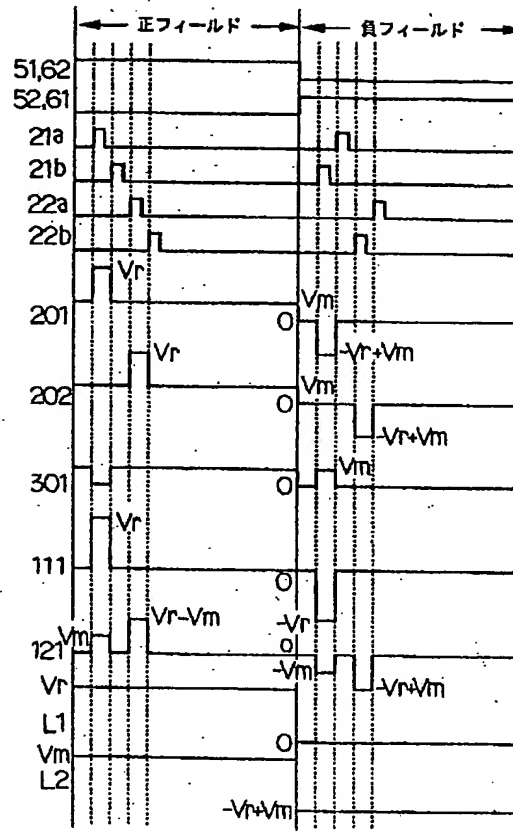
【符号の説明】

1…EL表示パネル、2…走査側ドライバIC、3…データ側ドライバIC、4…制御回路、5、6…定電圧供給回路、7…データ電圧供給回路、41…制御部、411…パルス幅指定部、42…補正データ記憶部、43…表示ムラ補正部、44…表示データ記憶部。

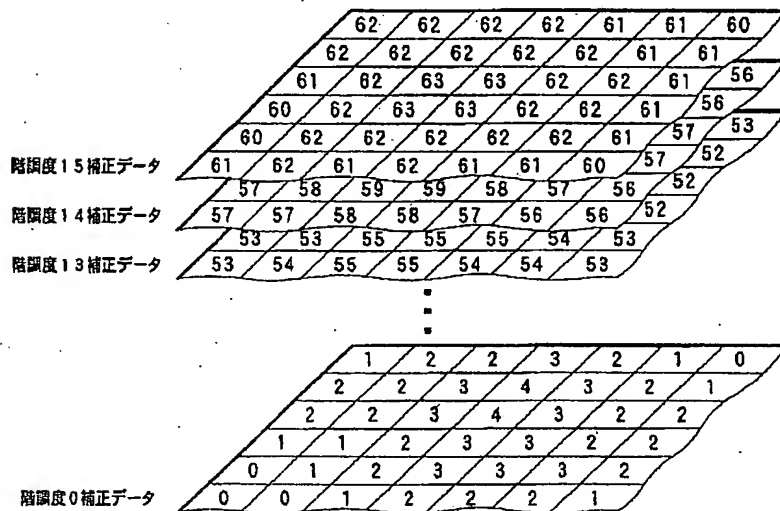
【図 1】



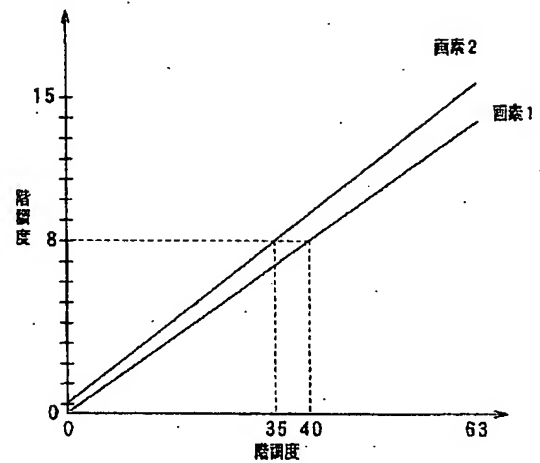
【図 3】



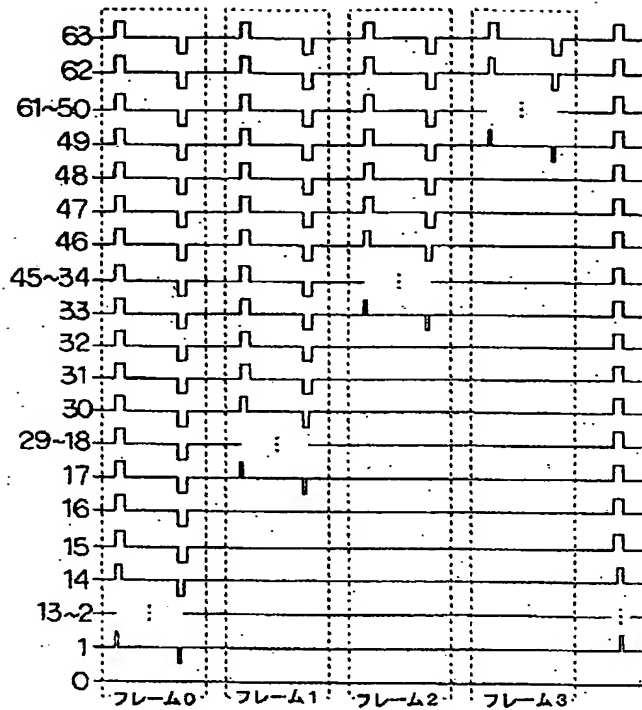
【図 5】



【図 11】



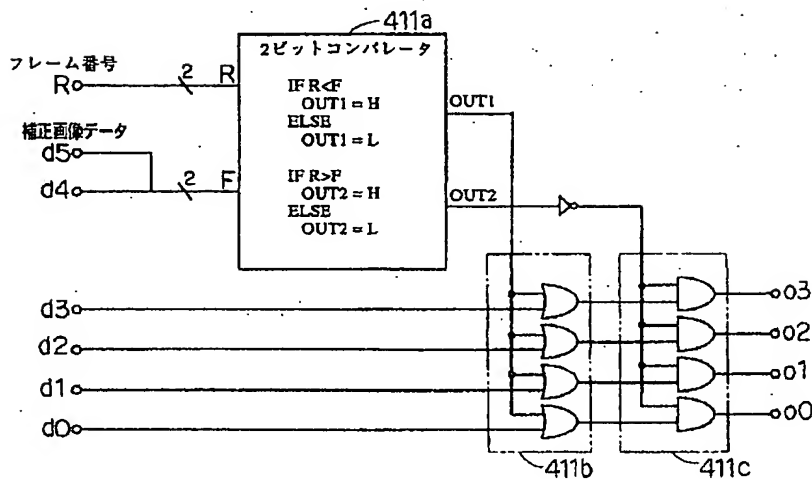
【図 6】



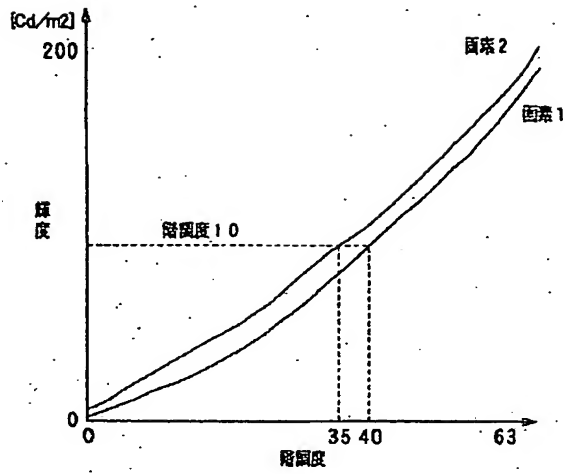
【図 7】

階調度	ドライバIC3に出力されるパルス幅データ			
	フレーム0	フレーム1	フレーム2	フレーム3
63	15	15	15	15
62	15	15	15	14
61~50	15	15	15	13~2
49	15	15	15	1
48	15	15	15	0
47	15	15	15	0
46	15	15	14	0
45~34	15	15	13~2	0
33	15	15	1	0
32	15	15	0	0
31	15	15	0	0
30	15	14	0	0
29~18	15	13~2	0	0
17	15	1	0	0
16	15	0	0	0
15	15	0	0	0
14	14	0	0	0
13~2	13~2	0	0	0
1	1	0	0	0
0	0	0	0	0

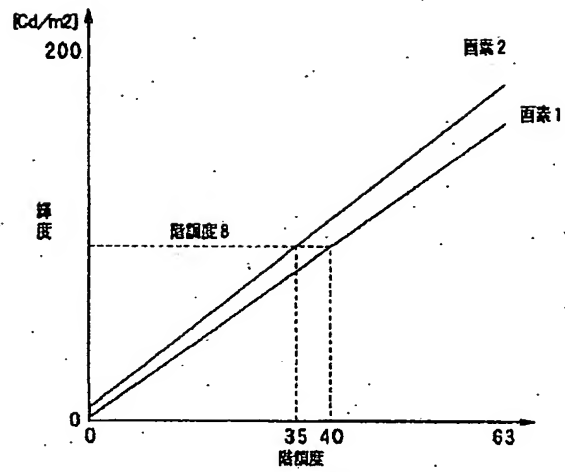
【図 8】



【図9】



【図10】



【図12】

